

Chiplet 时代芯启源的探索之路

全球首届 Chiplet 峰会 (Chiplet Summit) 于 1 月 24 日至 26 日在美国硅谷召开。英特尔代工服务事业部 (Intel Foundry Services)、开放计算项目 (Open Compute Project)、应用材料公司 (Applied Materials) 等国际知名企业、项目及联盟的创始人和工程师出席本次峰会。芯启源受邀参加此次峰会,进行了精彩的主旨演讲及专家研讨会,和与会专家共同展望 Chiplet 时代的半导体产业趋势及挑战。

Chiplet 仿真面临的挑战和芯启源的技术应对(一)

Chiplet 仿真面临的挑战

Chiplet 使系统扩展超越了摩尔定律的限制。然而,进一步的缩放给硅前验证带来了巨大的挑战。24 日,芯启源 EDA 研发副总裁 Mike Shei,工程及新产品副总裁 Mike Li 作了主题为 "Incubating Chiplet - Challenges and Solution of New Emulators" 的主旨演讲,并将讨论主题带入次日的 "Next Great Breakthrough in Chiplets" 专家研讨会。

Ideal Features	Chiplet Challenges	Value to Chiplet Customers
Order of Magnitude Performance for Big Chip Emulation.	1.Performance	Enables real time emulations for complicated Software tasks like OS and Video Decoder
Dedicated infrastructure investment for scalability and debugging productivity. e.g. probe logic (companion chip), bottle neck free distributed routing, and high capacity probe memory.	2. Scalability	Allows much higher utilization of the emulator resources, like FPGA LUT/FF Allows larger design scaling across chips, across boards, across racks
MIMIC-Pro offers Hardware Trigger, Sequence Validator and immediate access to waveforms.	3.Productivity	This improves engineering team productivity by 2 order of magnitude.
Portable and Customized runtime database	4. Eco System	Allows efficient deliverables and enables protection of confidential design information, esp. for chiplet collaboration

挑战 1: 性能和功能

■传统仿真器因集中式 routing and clocking, 随着设计规模增加,性能呈指数级下降, Chiplet 技术在增加系统复杂性的同时加剧了这一挑战;

- 客户实时操作系统、人工智能、视频解码仿真中，为提高性能，不得不放弃仿真器提供的调试功能。

挑战 2: 超大设计规模

- 小 chiplet 组成了大芯片系统，总设计规模高达 500 亿个晶体管，对仿真加速器的可扩展规模及 FPGA 利用率提出了更高要求；
- 速度为 10s, 100s of Tbps 的多种 chiplet 接口。

挑战 3: 工程效率

- 合理的编译时间和运行时间，与软件 IDE 处于同一数量级；
- 全局可见性和可控性，内置专用逻辑分析仪，触发器，断言，以精确定位波形，用于跨团队调试；

挑战 4: 多个 Chiplet Vendor 的生态系统

- 虚拟集成来自多个供应商的异构 chiplet 设计，并在一个开放和安全的平台上验证它们。
- 每个 chiplet 设计都需要有便携性，且可定义需探测的信号。

芯启源 Chiplet 集成平台-MimicPro 系列解决方案

应对 1 : MimicPro 分布式 routing and clocking 设计

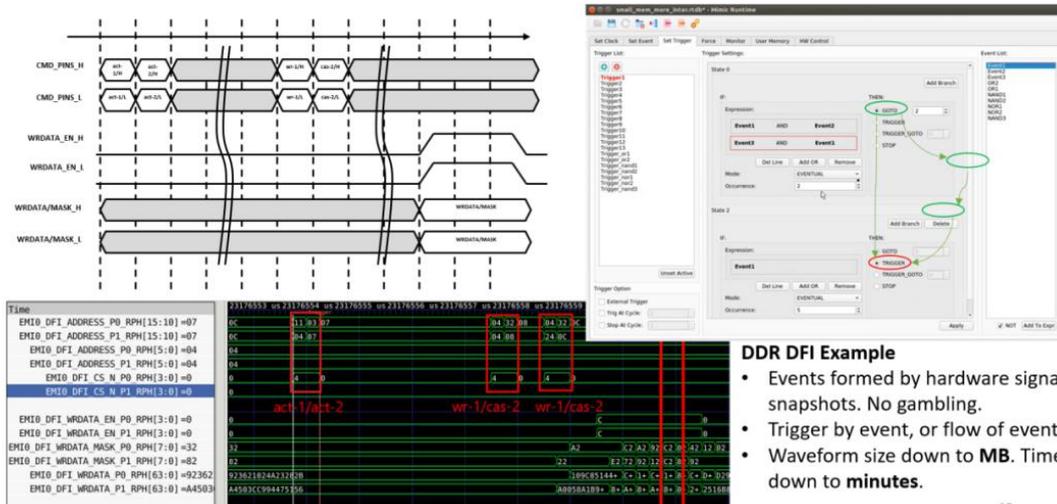
- MimicPro 的分布式路由和多用户时钟在跨 FPGA 设计中可以保持较高运行频率；
- Chiplet 级别的预编译提高了编译效率及运行频率。

应对 2 :MimicPro 高度可扩展架构

- 分布式 routing，无系统瓶颈，性能更高；
- 光纤端口可实现 M32 系统之间的跨机柜高速互联；
- 控制逻辑不消耗 FPGA 资源，大规模设计中实际 FPGA 利用率 70%+。

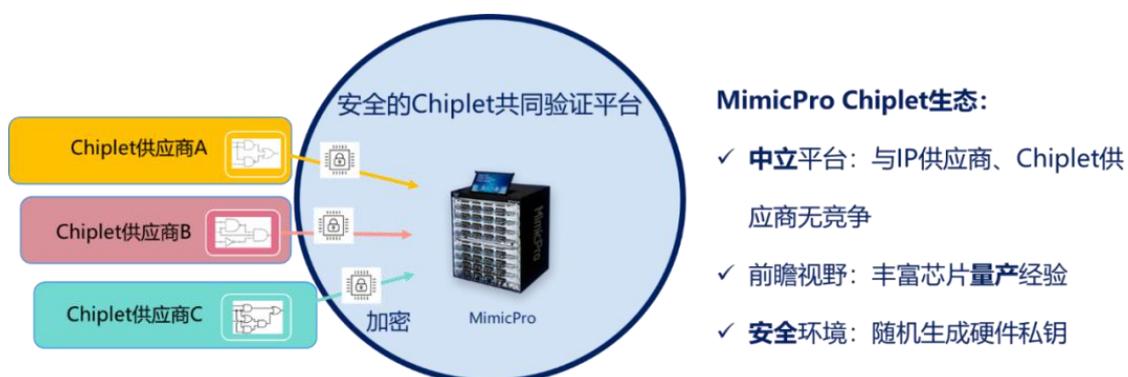
应对 3 :MimicPro 丰富的调试功能

- 提供真正的 HW Trigger-精确定位问题的数量级较小的波形，波形文件 Size MB vs GB；每张 Solo 卡搭配 16GB DDR，丰富的调试/探针功能带来高的工程效率；
- 多周期序列捕获-能够捕捉精确的快照，以评估事件的动态流；
- 从序列验证到断言加速-完全加速的 DV 环境。



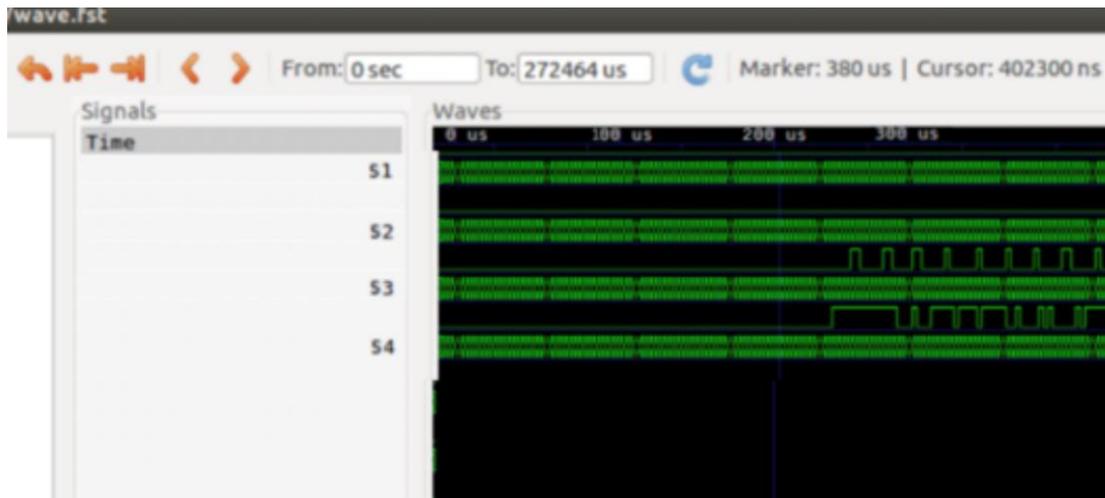
13

应对 4 : MimicPro 提供中立安全的验证平台



- RTDB 包括 bit stream & signaling, 硬件配置, 探针等信息;
- RunTime 信息可以修改, 重新映射, 删除/过滤, 以确保定义的调试范围;
- 信号披露程度完全由 chiplet 供应商定义。

Signal Name	Probe SafeLock
S1	Probed Allowed
S2	Probed Allowed
S3	Probed Allowed
S4	Probed Allowed



芯启源新一代仿真加速器通过领先业内的性能、高度可扩展性来推动创新，以实现软件/硬件协同设计，并提高跨团队验证效率；在现场，芯启源展示了 MimicPro 作为便携式和安全的 Chiplet 集成平台如何促进 Chiplet 生态系统合作。

芯启源在 Chiplet 仿真方面的性能、可扩展性、工程效率、生态系统开放性和安全性方面的愿景在观众中引起了强烈的共鸣。

目前，芯启源 MimicPro 团队已申请过国内发明 18 件，授权 13 件；申请 PCT 发明 5 件；软件著作权 6 件。

Chiplet 仿真面临的挑战和芯启源的技术应对(二)

26 日，芯启源芯片执行副总裁 Jim Finnegan 在峰会上进行了主旨演讲，内容涵盖：

- 推动 Chiplet 技术产生的背景；
- 对于 DPU 芯片这种本身设计复杂、软硬件需要协同设计验证的芯片，采用 Chiplet 技术会带来哪些实际挑战和障碍；
- Chiplet 技术在芯启源 DPU 芯片中的实际应用；
- 芯启源是如何通过采用 MimicPro 原型设计和仿真平台来解决 Chiplet 仿真面临的挑战。

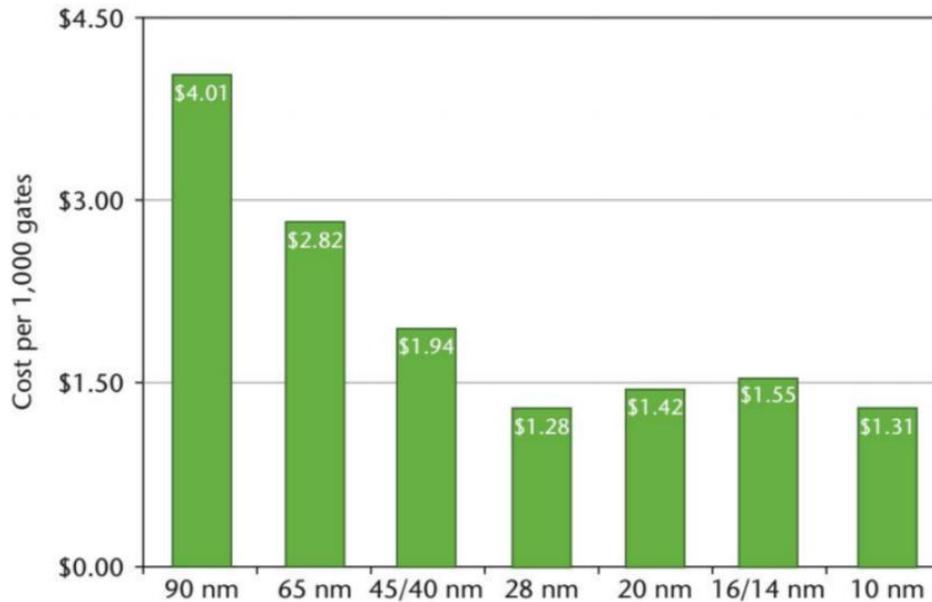
推动 Chiplet 技术产生的背景

英特尔联合创始人 Gordon Moore 于 1965 年在《把更多组件放在集成电路上》(Cramming more components onto integrated circuits) 中正式提出著名的摩尔定律的同时，还提出了 Chiplet 最初的概念模

型，他指出“用较小的功能构建大型系统更为经济，这些功能是单独封装和相互连接的”。

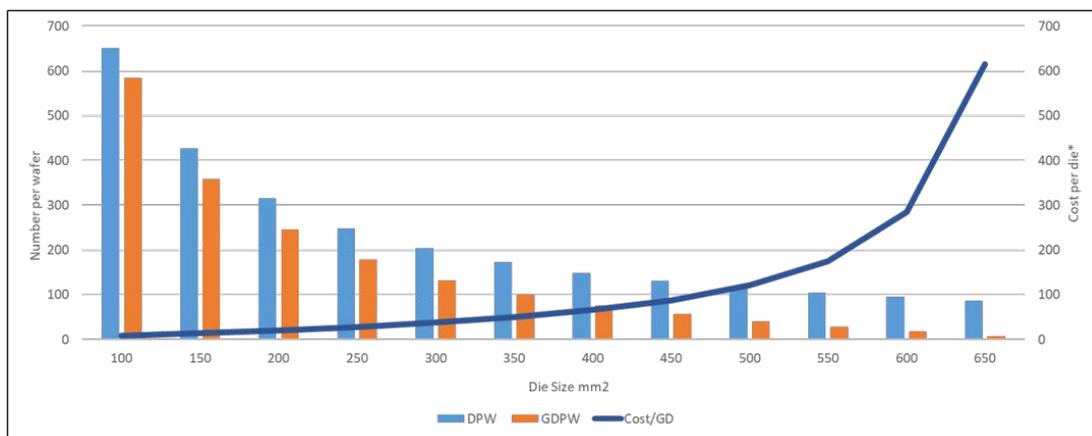
随着 Dennard 缩放定律和 Moore 定律接近终结，依靠单颗 die 满足日益增长的功能和性能需求越来越不可行，这不仅仅体现在晶体管密度、功耗等等技术限制，从成本角度也越来越不可行，具体表现在：

1. 单个晶体管成本在 3D finfet 时代不再呈现下降趋势



Source“Measuring Moore’s Law”, Kenneth Flamm, 17.Nov

2. 随着单颗芯片集成功能越来越多，芯片面积越来越大，良率 (yield) 也会降低，导致单个晶体管成本上升



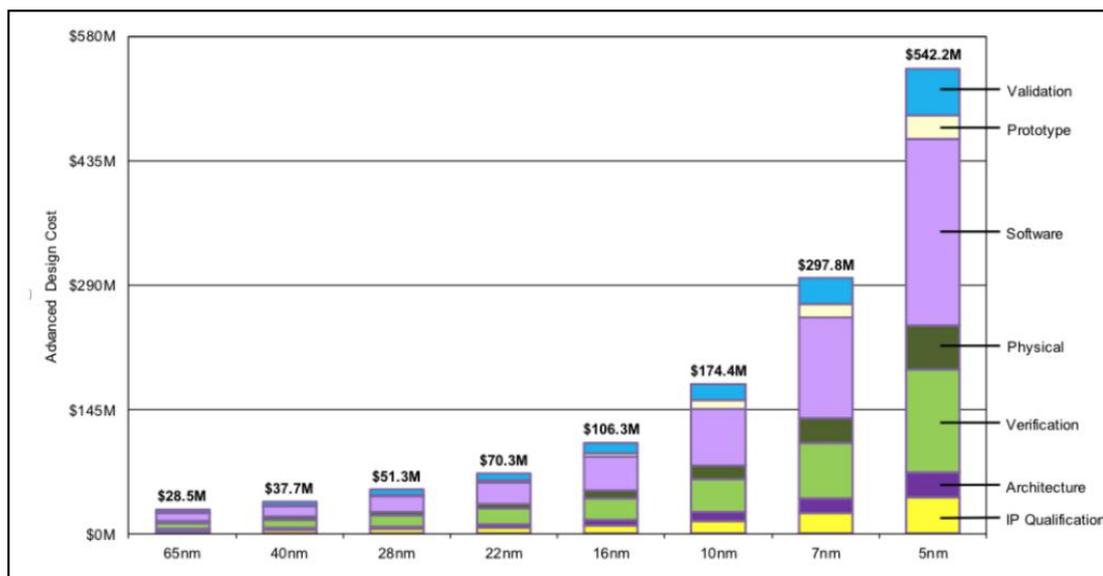
备注：

1. 假设单个wafer价格为\$5K

2. DPW: $DPW = \frac{wa}{45} - 0.58 \cdot \frac{wa}{\sqrt{3}}$

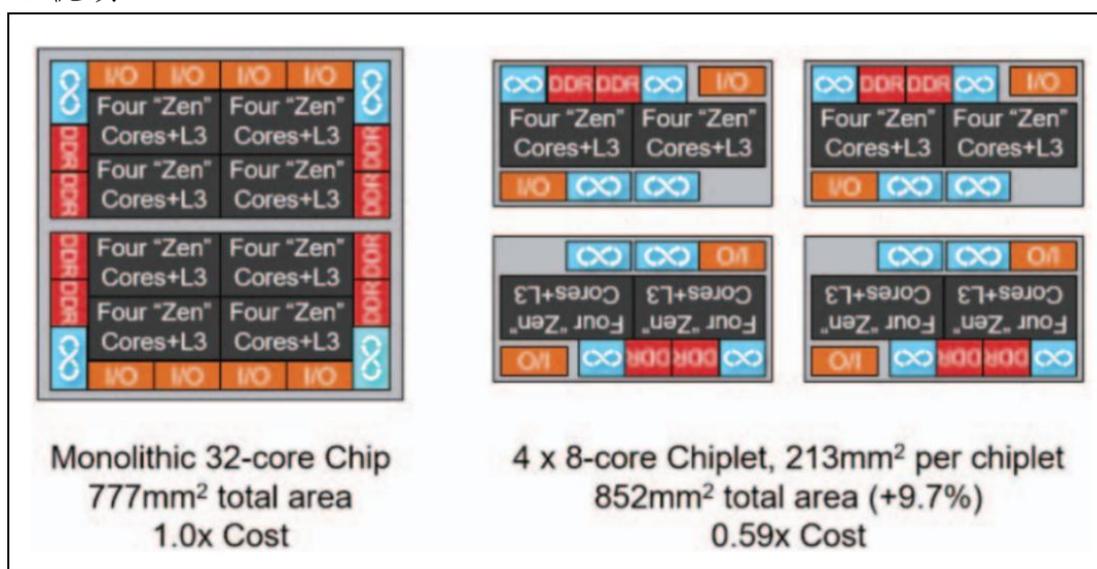
3. Yield: $Y = e^{-D_0 \cdot A} \approx 1 - (D_0 \cdot A) - \frac{(D_0 \cdot A)^2}{2} - \frac{(D_0 \cdot A)^3}{6} - \dots$

3. 先进工艺的流片成本越来越高



延续摩尔定律经济效益：高速互联&异构集成

AMD 较早地采用了 Chiplet 架构，并发现其优秀的性价比优势：



2021/6 “AMD on Why Chiplets and Why now?”

Chiplet 技术将原本一块复杂的 SoC 芯片分解为小的芯粒，其模块化设计的概念，将有利于架构设计的重新划分和创新，实现芯片的不同功能区解耦，有利于一些芯粒的复用，形成系列化产品，可实现低设计成本、低制造成本、高良率，并且缩短产品商用上市时间和后续产品的迭代周期。

与传统 SoC 相比，Chiplet 将不同的小芯粒通过先进封装形成系统芯片，目前业内众多企业正在引入 Chiplet 技

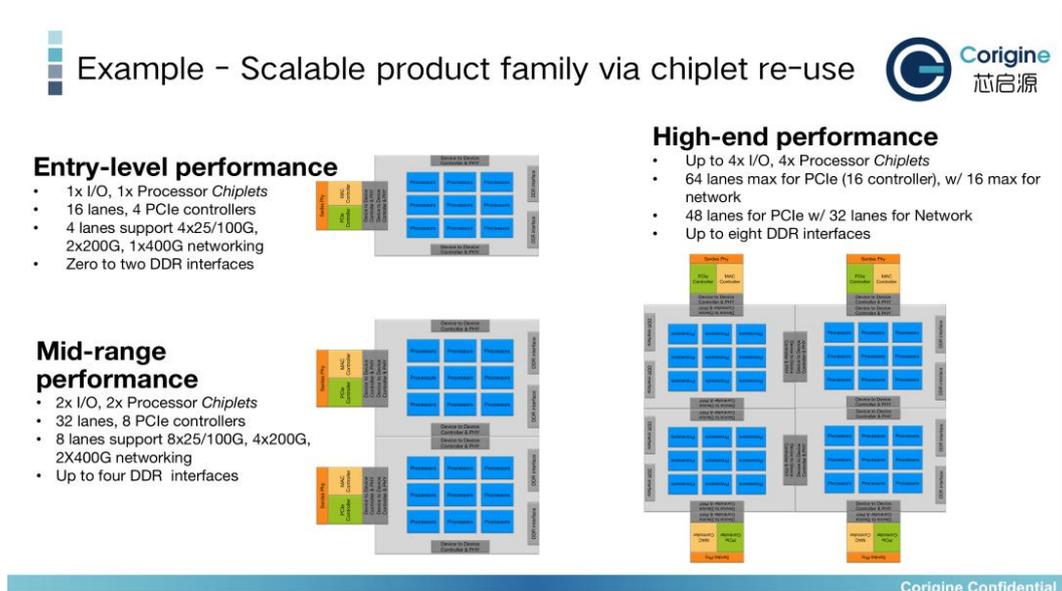
术。Chiplet 技术的出现是产业链提高生产效率的必然选择，也是未来几年复杂 soc 的主要芯片设计形式。

芯启源 DPU 芯片采用先进的 Chiplet 技术

在芯启源最新的第四代智能网卡架构中，通过应用 Chiplet 技术，极大的提升了自有智能网卡的性能；同时通过支持与第三方芯片的 Die-To-Die 互联，还可以集成更多的特定专业领域的芯片。

在性能和功能丰富度有飞跃式提升外，其下一代智能网卡芯片 NFP7000 为芯启源的客户提供了更多业务场景的支持能力。通过 Chiplet 技术选择不同数量和类型的芯粒组合能够实现入门级、中端、高端三类 SoC 系列芯片：

- 入门级：1 个 I/O 芯粒加一个 processor 芯粒；在 PCIe 侧，支持 16 对 serdes、4 个 PCIe 控制器；网络侧支持 4 对 serdes，支持 4x25/100G，2x200G，1x400G 网络；能够支持 2 个 LPDDR 接口。
- 中端：通过各 2 个 I/O 芯粒和 processor 芯粒互联，实现性能的成倍叠加。
- 高端：高端级 SoC 封装多达 4 个 I/O 芯粒和 4 个 processor 芯粒；PCIe 支持 64 个 serdes，16 个控制器；网络侧最多 32 个 serdes；能够支持 8 个 LPDDR4x/5 接口。



多个小芯片 (Chiplets)的扩展互联

通过 DPU 芯片的 Chiplet 技术能够完全覆盖 25G 到 400G 的各类接口需求，提供高性能网络和 host 接口，能以线速

或网络中的可用速度解析、处理数据，不再需要为不同的细分市场做不同的 mask 设计，实现高灵活度、高性能、低成本的硅片重用，更好的适应应用场景的需求。

Chiplet 芯片设计新生态

芯启源具有完全自主知识产权的 DPU 芯片，其内部结构主要包括硬件协处理器、流处理器、PCIe 主机接口模块以及内外部高速缓存和内存接口组成。下一代 NFP7000 芯片则基于 Chiplet 技术，采用 die-to-die 互联统一标准 UCIe，不仅支持芯启源芯粒的 die-to-die 互联封装，还能够实现异厂家多芯片异构集成。

对于 Chiplet 当前的发展情况，芯启源研发副总裁陈盈安在之前的会议中也回顾了在 Marvell 期间参与“MoChi”互连架构开发的经历，各家厂商在 die-to-die 互连技术上，正逐步从私有标准、私有协议走向开放标准和协议，正如 UCIe 联盟的诞生。

随着行业开放标准建立，越来越多厂商可以参与到生态中来，未来的系统厂商概念将会是不同芯粒的集成。芯启源智能网卡架构采用灵活可编程架构以及 Chiplet 技术，具备高度的可扩展性，能够适用于多种产品形态及解决方案，结合所打造的 DPU 生态，提供了开放、可编程的应用生态。

Chiplet 技术虽然有着上述优点，但同时在 EDA 工具链上面临着很多技术难题。比如在增加系统复杂性的同时加剧了对于仿真器功能和性能的挑战，对仿真加速器的可扩展规模及 FPGA 利用率提出了更高要求等。

芯启源在 Chiplet 仿真方面的性能、可扩展性、工程效率、生态系统开放性和安全性思考和实践，如何通过采用其 MimicPro 原型设计和仿真平台解决。（见上篇：Chiplet 仿真面临的挑战和芯启源的技术应对）

展望 Chiplet 对半导体产业链的影响，芯启源研发副总裁陈盈安此前畅想过 Chiplet 产业未来的商业模式：如 RISC-V 架构 CPU 可作为 die 单独提供，芯启源也可以将之集成到其 DPU 产品中，应用于某一商业场景。芯启源从创始之初就一直保持着一个开放的开源社区生态，希望能够与全行业共同推动 Chiplet 产业进步。